

Docket No.: 67161-131

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
: :
Satoshi SHIMIZU : Confirmation Number:
: :
Serial No.: : Group Art Unit:
: :
Filed: November 20, 2003 : Examiner: Unknown
: :
For: SEMICONDUCTOR DEVICE WITH DUMMY ELECTRODE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

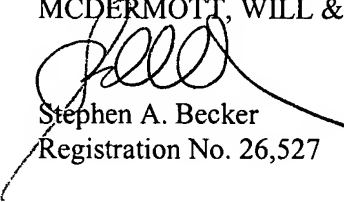
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-143761, filed May 21, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: November 20, 2003

67161-131
SHIMIZU
November 20, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月21日

出 願 番 号

Application Number:

特願2003-143761

[ST.10/C]:

[JP2003-143761]

出 願 人

Applicant(s):

株式会社ルネサステクノロジ

2003年 6月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3049682

【書類名】 特許願

【整理番号】 542623JP01

【提出日】 平成15年 5月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768
H01L 21/302

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
ステクノロジ内

【氏名】 清水 悟

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 表面にソース領域およびドレイン領域を有する半導体基板と

前記半導体基板の上側に前記ソース領域と前記ドレイン領域とを隔てる直線部分を
含むように形成されたゲート電極と、

前記半導体基板の上側に前記直線部分の長手方向への延長上の位置において形
成されたダミー電極と、

前記ゲート電極および前記ダミー電極の上側に各々重なるように形成されたス
トッパ絶縁膜と、

前記ゲート電極、前記ダミー電極および前記ストッパ絶縁膜の側壁を覆うサイ
ドウォール絶縁膜と、

前記ストッパ絶縁膜および前記サイドウォール絶縁膜を覆い隠すように前記半
導体基板の上側を覆う層間絶縁膜と、

前記層間絶縁膜の内部で上下方向に延び、下端が前記ソース領域および前記ド
レイン領域のうち一方に電氣的に接続された導電体部材であって、上から見たと
きに前記ゲート電極の前記直線部分に平行に延びる直線状コンタクト部とを備え

上から見たときの前記直線状コンタクト部の外形のうち長辺は、前記サイドウ
ォール絶縁膜を越えて前記ゲート電極および前記ダミー電極の上側の領域にそれ
ぞれ入り込んだ位置にあり、

上から見たときに前記直線状コンタクト部の内部に現れる前記ゲート電極と前
記ダミー電極との間の間隙は、前記半導体基板を露出させない程度に前記サイ
ドウォール絶縁膜によって埋められている、半導体装置。

【請求項 2】 前記ゲート電極が複数本平行に並んでおり、上から見たとき
に、前記ソース領域および前記ドレイン領域のうちの一方は、前記ゲート電極の
うち互いに隣接する 2 本に挟まれる領域として一直線上に分離絶縁膜を介して離
散的に並ぶように規定される特定種類領域群をなし、前記直線状コンタクト部は

、前記特定種類領域群を一体的に被覆するように延びている、請求項 1 に記載の半導体装置。

【請求項 3】 前記ソース領域および前記ドレイン領域のうちの前記一方は、前記直線状コンタクト部の上方において前記直線部分と平行に延びる第 1 の配線に対して前記直線状コンタクト部を介して電氣的に接続されており、前記ソース領域および前記ドレイン領域のうちの他方は、前記ゲート電極より上側で前記ゲート電極の前記直線部分と垂直な方向に延びる第 2 の配線に対して電氣的に接続されている、請求項 2 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関するものである。

【0002】

【従来の技術】

従来技術に基づくフラッシュメモリの NOR 型アレイ構成は、基板表面において直線状の分離絶縁膜と直線状の活性領域とが交互に平行に並ぶように配列されて第 1 の方向に延びている。このような基板の上側に、第 1 の方向と垂直に交差する第 2 の方向に線状に延びるように直線状のゲート電極が配置されている。ゲート電極は平行に複数本が配置されている。上から見たときにゲート電極同士の間隙から線状に平行に複数本露出する基板表面の領域は、1 本ずつ交互にソース領域とドレイン領域となっている。ゲート電極よりも上方のいずれかの層においては、3 種類のメタル配線が別個に配置されており、この 3 種類のメタル配線は、ゲート電極、ソース領域およびドレイン領域のそれぞれに電氣的に接続されている。この対応するメタル配線からソース領域やドレイン領域への接続技術としては、コンタクトエッチング技術が一般に知られている。

【0003】

しかし、半導体素子の小型化が進められる趨勢の中では、NOR 型アレイ構成の各部の平面的に見た領域も小さくすることが求められる。そこで、ソース領域の幅を小さくした場合でも製作容易にする技術として、SAS（セルフアライン

ソース) 技術が知られている。S A S 技術については、たとえば特開 2 0 0 2 - 2 6 1 5 6 号公報 (特許文献 1) などに開示されている。

【0 0 0 4】

S A S 技術においては、ゲート電極を作成した後に、ドレイン領域をそれぞれ覆いかつソース領域はそれぞれ露出するようにレジスト膜を形成し、このレジストとゲート電極とをマスクとして、分離絶縁膜のうちソース領域内に存在する部分をエッチング除去する。さらに各ソース領域にイオン注入を行ない、各ソース領域の基板表面近傍に拡散層を形成する。ソース領域内の分離絶縁膜は既に除去されているので、この拡散層は、ソース領域の長手方向に沿ってつながった形となる。このようにソース領域の基板表面近傍に形成した拡散層は、複数の平行な活性領域間を電氣的に接続するソース配線の役割を果たす。S A S 技術によって得られるこのような構造は「S A S 構造」と呼ばれている。

【0 0 0 5】

S A S 構造では、ソース配線を十分に低抵抗とするには、ソース領域へのイオン注入を高濃度で行なわなければならない。一方、素子の微細化によって、ゲート電極幅は小さくなる傾向にある。ゲート電極幅が小さくなってきたときに、従来のように高濃度の拡散層を用いた S A S 構造では、ゲート電極の下側でのパンチスルー現象を十分に抑えることができなくなるという問題があった。

【0 0 0 6】

【特許文献 1】

特開 2 0 0 2 - 2 6 1 5 6 号公報 (図 6 0 - 図 6 5)

【0 0 0 7】

【発明が解決しようとする課題】

層間絶縁膜とゲート電極を保護する絶縁膜とで材質を異なるものとし、コンタクトエッチング時の選択比の違いを利用して、コンタクトエッチングの進行を、ゲート電極を保護する絶縁膜で止めるというセルフアラインコンタクト (S A C) 技術が一般に知られている。

【0 0 0 8】

S A S 構造で問題になっていたパンチスルー現象を回避するために、ソース領

域の幅が狭いにもかかわらず S A C 技術を採用して、ソース領域につながる円形のコンタクトホールを開けるべくエッチングを行なった場合、当初はゲート電極の上面および側面を S i N などからなるストッパ絶縁膜およびサイドウォール絶縁膜で覆っていたにもかかわらず、エッチングの進行につれてゲート電極が直接コンタクトホール内に露出してしまう場合がある。そのままコンタクトホールに導電体を充填してコンタクト部を形成した場合、ゲート電極とコンタクト部との間でショートしてしまう。すなわち、ゲートとソースとの間でショートが発生してしまう。

【 0 0 0 9 】

そこで、本発明では、S A C 技術を行なう場合のゲート電極とコンタクト部との間でのショートを防止でき、なおかつ、S A S 技術において問題となっていたパンチスルー現象も抑制できる構造の半導体装置を提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

上記目的を達成するため、本発明に基づく半導体装置は、表面にソース領域およびドレイン領域を有する半導体基板と、上記半導体基板の上側に上記ソース領域と上記ドレイン領域とを隔てる直線部分を含むように形成されたゲート電極と、上記半導体基板の上側に上記直線部分の長手方向への延長上の位置において形成されたダミー電極と、上記ゲート電極および上記ダミー電極の上側に各々重なるように形成されたストッパ絶縁膜と、上記ゲート電極、上記ダミー電極および上記ストッパ絶縁膜の側壁を覆うサイドウォール絶縁膜と、上記ストッパ絶縁膜および上記サイドウォール絶縁膜を覆い隠すように上記半導体基板の上側を覆う層間絶縁膜と、上記層間絶縁膜の内部で上下方向に延び、下端が上記ソース領域および上記ドレイン領域のうち一方に電氣的に接続された導電体部材であって、上から見たときに上記ゲート電極の上記直線部分に平行に延びる直線状コンタクト部とを備える。ただし、上から見たときの上記直線状コンタクト部の外形のうち長辺は、上記サイドウォール絶縁膜を越えて上記ゲート電極および上記ダミー電極の上側の領域にそれぞれ入り込んだ位置にある。上から見たときに上記直線状コンタクト部の内部に現れる上記ゲート電極と上記ダミー電極との間の間隙は

、上記半導体基板を露出させない程度に上記サイドウォール絶縁膜によって埋められている。

【0011】

【発明の実施の形態】

本発明者らは、SAC技術を行なった場合のゲート電極とコンタクト部との間でのショートがどのような原理で起こるのかについて検討を重ねた。その結果、このショートは、図1に示すように、上から見たときに、コンタクトホール10の外形線とストッパ絶縁膜5の輪郭線とが交差する位置（以下、「輪郭交差点」という。）6で起こりやすいことを突き止めた。図1では、ソース領域4に接続する目的でコンタクトホール10を設ける様子を平面図で示している。図1におけるII-II線に関する矢視断面図を図2に示す。図1におけるIII-III線に関する矢視断面図を図3に示す。半導体基板1の上側にゲート絶縁膜を介して形成されたゲート電極2は、その上面を、ゲート電極2と同じ幅で形成されたストッパ絶縁膜5で覆われている。ゲート電極2およびストッパ絶縁膜5の側面は、サイドウォール絶縁膜3によって覆われている。

【0012】

ところで、SAC技術では、一般に3つのガスの混合ガスを用いて異方性エッチングを行なう。この3つのガスは、いわゆる「デポガス」、いわゆる「抜け性用ガス」およびいわゆる「希釈系ガス」である。デポガスは、C（カーボン）が多重に結合しているものであり、たとえば C_4F_8 、 C_5F_8 、 C_4F_6 などが挙げられる。デポガスは、エッチングによってできる穴の内面に反応生成物の膜、いわゆる「デポ膜」を形成する役割を果たす。デポ膜はエッチングによる除去作用から被処理物を保護する役割を果たす。抜け性用ガスは、デポガスの効果を抑制し、エッチングを進めていくためのガスであり、たとえば O_2 や CO などの酸素系ガスが主に用いられる。希釈系ガスは、デポガスおよび抜け性用ガスを希釈するためのガスである。

【0013】

異方性エッチングの最中は、エッチングが進むにつれて穴の側面には順次デポ膜が形成されて側方への除去作用の進行が抑制され、穴の下面においてはデポ膜

形成よりも除去作用が勝ることによって下方への除去が進行する。この状態を維持することによって下方への選択性をもったエッチングが実現されている。

【0014】

上述のショートが輪郭交差点6で起こりやすいのは、異方性エッチングの最中に、輪郭交差点6は穴の底の隅に該当するため、幾何学的な制約によりデポガスが十分に行き渡らず、デポ膜7が十分に形成されないことに起因していると考えられる。I I - I I 断面の位置においては、図2に示すようにトランジスタ構造の肩部においてもデポ膜7が十分厚く形成されるため、ショートは起こらないが、輪郭交差点6を通るI I I - I I I 断面の位置においては、図3に示すように、デポ膜7が十分に形成されないことにより、SiNなどのサイドウォール絶縁膜3がエッチング除去されてしまう。こうしてサイドウォール絶縁膜3の除去が異常に進行することによって、図4に示すように内部に隠されていたゲート電極2が露出してしまい、ショートが起こると考えられる。

【0015】

このような知見を基に、発明者らは、改良を重ね、本発明をなすに至った。以下に、本発明の実施の形態について説明する。

【0016】

(実施の形態1)

(構成)

図5～図7を参照して、本発明に基づく実施の形態1における半導体装置について説明する。本実施の形態では、比較的単純なトランジスタ構造に本発明を適用した例を示す。本実施の形態における半導体装置の平面図を図5に示す。図5におけるV I - V I 線に関する矢視断面図を図6に示す。図5におけるV I I - V I I 線に関する矢視断面図を図7に示す。ただし、図6、図7は、図5に厳密に対応する矢視断面図ではなく、後述するように、説明の便宜上、図5に比べていくつかの構成要素を図示省略したり追加したりしている。

【0017】

この半導体装置においては、半導体基板1の表面を部分的に覆うように分離絶縁膜9が形成されることによって、上から見たときに、全体は活性領域14と分

離絶縁膜 9 の領域とに分かれている。活性領域 1 4 は、図 5 における図中上下方向に帯状に延びている。半導体基板 1 の上側に少なくとも 2 本のゲート電極 2 が線状に形成されている。2 本のゲート電極 2 は、それぞれ直線部分を含み、この直線部分によって活性領域 1 4 の長手方向に対して垂直方向に横切るように延びている。活性領域 1 4 はゲート電極 2 の直線部分によって区切られることによって一方の側がソース領域、他方の側がドレイン領域となっている。したがって、図 5 に示した例においては、活性領域 1 4 のうち、2 本のゲート電極 2 に挟まれた部分がソース領域となり、それ以外の部分がドレイン領域となっている。

【 0 0 1 8 】

図 6、図 7 に示すように、ゲート電極 2 の上側にはストッパ絶縁膜 5 が形成されている。ストッパ絶縁膜 5 はゲート電極 2 と同じ大きさでゲート電極 2 の上側を覆っている。ゲート電極 2 およびストッパ絶縁膜 5 の側面は、サイドウォール絶縁膜 3 によって覆われている。ただし、図 5 では、説明の便宜上、ストッパ絶縁膜 5 を図示省略して、ゲート電極 2 が上から直接見えるようにして示している。

【 0 0 1 9 】

半導体基板 1 の上側において、ゲート電極 2 の直線部分の両端にそれぞれ近接した位置であってゲート電極 2 の直線部分の延長上となる位置にダミー電極 1 8 が形成されている。ダミー電極 1 8 の上側は、ダミー電極 1 8 と同じ大きさのストッパ絶縁膜 2 5 で覆われている。ダミー電極 1 8 およびストッパ絶縁膜 2 5 の側面も、サイドウォール絶縁膜 3 によって覆われている。ただし、図 5 では、説明の便宜上、ストッパ絶縁膜 2 5 を図示省略して、ダミー電極 1 8 が上から直接見えるようにして示している。

【 0 0 2 0 】

図 6、図 7 に示すように、全体の上側は直線状コンタクト部 1 1 を除いて層間絶縁膜 2 0 が覆っている。ただし、図 5 では、説明の便宜上、層間絶縁膜 2 0 は図示省略している。図 6、図 7 では、直線状コンタクト部 1 1 の導電体を充填するための凹部である直線状コンタクトホール 1 1 u が、導電体を充填する前の状態で示されている。

【 0 0 2 1 】

図 5 に示すように、2 本のゲート電極 2 に挟まれ、ゲート電極 2 の直線部分と平行に延びるように、直線状コンタクト部 1 1 が形成されている。直線状コンタクト部 1 1 は、ゲート電極 2 の両端近傍の合計 2 対のダミー電極 1 8 によっても挟まれるように延び、ダミー電極 1 8 がある位置よりも遠くまで延びて終わっている。直線状コンタクト部 1 1 は導電体で形成されており、半導体基板 1 の表面に平行な方向に長く延びているだけでなく、半導体基板 1 の表面に垂直な方向にも延びている。すなわち、直線状コンタクト部 1 1 は、層間絶縁膜 2 0 を上下方向（図 5 における紙面奥手前方向。図 6、図 7 における図中上下方向。）に貫通するように延びている。直線状コンタクト部 1 1 の下端は、ゲート電極 2 同士の間にある活性領域 1 4 に対して接続されている。すなわち、ソース領域およびドレイン領域のうち一方に対して接続されている。また、上から見たとき、すなわち、図 5 に示すように平面図で考えたとき、直線状コンタクト部 1 1 の長辺は、サイドウォール絶縁膜 3 を越えてゲート電極 2 およびダミー電極 1 8 の上側の領域にそれぞれ入り込んだ位置にある。

【 0 0 2 2 】

図 5、図 7 に示すようにゲート電極 2 とダミー電極 1 8 とは十分に近接しているので、ゲート電極 2 とダミー電極 1 8 との間の間隙 G においては、サイドウォール絶縁膜 3 がつながって形成されることとなる。特に、間隙 G が直線状コンタクト部 1 1 の内部に現れる部分では、半導体基板 1 を露出させない程度にサイドウォール絶縁膜 3 によって埋められている。

【 0 0 2 3 】

このような構成の半導体装置を製造するには、従来の公知技術による製造方法において、ゲート電極 2 やゲート電極 2 上のストッパ絶縁膜 5 を形成するエッチングにおいて、従来のエッチングパターンに、ダミー電極 1 8 やダミー電極 1 8 上のストッパ絶縁膜 2 5 に対応するパターンを追加して行なえばよい。

【 0 0 2 4 】

（作用・効果）

本実施の形態における半導体装置は、上述の構成を備えているので、直線状コ

ンタクトホール 1 1 u を形成するためのエッチングにおいてサイドウォール絶縁膜 3 が除去されやすい箇所は、図 5 に示すようにダミー電極 1 8 と直線状コンタクトホール 1 1 u の外形線とが交差する輪郭交差点 1 6 になる。したがって、本来機能すべきゲート電極 2 においてサイドウォール絶縁膜 3 が不所望に除去されてしまってショートが生じるという問題を解消できる。一方、ダミー電極 1 8 においては仮にサイドウォール絶縁膜 3 が除去されてしまってダミー電極 1 8 と直線状コンタクト部 1 1 との間でショートが生じてても、ダミー電極 1 8 は半導体装置の機能に無関係であるので、問題とならない。

【 0 0 2 5 】

この半導体装置では、ゲート電極 2 同士の間にある活性領域 1 4、すなわちソース領域およびドレイン領域のうち一方に対して、直線状コンタクト部 1 1 によって電氣的接続を行なっているので、該当する活性領域 1 4 との接触面積を大きく確保することができ、コンタクト抵抗を低減することができる。また、このように側方に長く延在する直線状コンタクト部 1 1 を採用していることにより、この直線状コンタクト部 1 1 に上側から配線を接続する位置を選ぶ自由度が高まる。したがって、より上層におけるメタル配線の配置の自由度が高まる。

【 0 0 2 6 】

(実施の形態 2)

(構成)

図 8 を参照して、本発明に基づく実施の形態 2 における半導体装置について説明する。本実施の形態では、フラッシュメモリのアレイ構成に本発明を適用した例を示す。

【 0 0 2 7 】

この半導体装置においては、図 8 に示すように半導体基板の表面が、上から見たときに活性領域 1 4 と分離絶縁膜 9 の領域とに分かれている点は実施の形態 1 と同様である。本実施の形態では、図 8 における図中上下方向に延びるように活性領域 1 4 が複数本平行に形成されている。活性領域 1 4 同士の間は分離絶縁膜 9 によって隔てられている。複数本のゲート電極 1 0 2 は、それぞれ直線部分を含み、この直線部分によって活性領域 1 4 の長手方向に対して垂直方向に横切る

ように延びている。活性領域 1 4 はゲート電極 1 0 2 の直線部分によって区切られることによって一方の側がソース領域 4、他方の側がドレイン領域 1 5 となっている。ゲート電極 1 0 2 の上側にはストッパ絶縁膜 5 が形成されている。このストッパ絶縁膜 5 はゲート電極 1 0 2 と同じ大きさでゲート電極 1 0 2 の上側を覆っている。ゲート電極 1 0 2 およびストッパ絶縁膜 5 の側面は、サイドウォール絶縁膜 3 によって覆われている。ただし、図 8 では、ゲート電極 1 0 2 と直線状コンタクト部 1 1 1 との位置関係を主に示すため、ストッパ絶縁膜 5 およびサイドウォール絶縁膜を図示省略している。ゲート電極 1 0 2 の直線部分の一方の端には広くなった部分 1 0 2 a がある。さらにその外側に並ぶようにダミー電極 1 1 8 が配置されている。ゲート電極 1 0 2 の端の広くなった部分 1 0 2 a とダミー電極 1 1 8 とは十分に近接している。ゲート電極 1 0 2 とダミー電極 1 1 8 との並びに沿って、さらにダミー電極 1 1 8 よりも遠くまで延びるように、直線状コンタクト部 1 1 1 が配置されている。直線状コンタクト部 1 1 1 の長辺は、サイドウォール絶縁膜を越えてゲート電極 1 0 2 およびダミー電極 1 1 8 の上側の領域にそれぞれ入り込んだ位置にある。

【 0 0 2 8 】

ゲート電極 1 0 2 の端の広くなった部分 1 0 2 a にはそれぞれゲートコンタクト 1 9 が設けられている。ゲートコンタクト 1 9 とは、上方（図 8 においては紙面手前側）に張り巡らされたゲート用の配線との間で電氣的接続を行なう部分である。ドレイン領域 1 5 には、ドレインコンタクト 1 7 が設けられている。ドレインコンタクト 1 7 は、やはり上方においてゲート配線とは別個に張り巡らされたドレイン用の配線との間で電氣的接続を行なう部分である。図 8 においては、ドレインコンタクト 1 7 およびゲートコンタクト 1 9 は、いずれも円の中に X を書いた記号で示されている。一方、中央の 2 本のゲート電極 1 0 2 の間のソース領域 4 に対する電氣的接続は、直線状コンタクト部 1 1 1 によって行なわれている。

【 0 0 2 9 】

ソース領域 4 もドレイン領域 1 5 も、図 8 における左右方向に一直線上に同種類のものが分離絶縁膜 9 を介して複数個離散的に並ぶ。この並ぶ 1 列の集合を離

散的領域群とする。

【0030】

上の説明では、ソース領域4の1列の離散的領域群だけに注目してこれに一体的に接続する直線状コンタクト部111について説明しているが、実際には、ソース領域4の離散的領域群が複数列あってもよい。現実的なアレイ構成としては、多数のゲート電極102が平行に配置され、これらによって挟まれる間隙の領域として、ソース領域4の離散的領域群とドレイン領域15の離散的領域群とが図8における上下方向に交互に並んで配置されることとなる。その場合、各ソース領域4の離散的領域群ごとに、直線状コンタクト部111が設けられる。

【0031】

離散的領域群のうち、ソースかドレインかのいずれか選択された方（本実施の形態では、ソース領域）の種類の離散的領域群を「特定種類領域群」とすると、複数本並ぶ特定種類領域群に対して、複数本の直線状コンタクト部111が、各々被覆するように延びる。

【0032】

（製造方法）

図9、図10を参照して、本発明に基づく実施の形態2における半導体装置の製造方法について説明する。基本的に従来の半導体装置の製造方法と同様であるが、ここでは、フラッシュメモリ構造の例を示す。図9に示すように、ゲート電極102は、コントロールゲート電極21とフローティングゲート電極22とを含む。コントロールゲート電極21とフローティングゲート電極22との間にはONO膜23が介在している。複数本線状に延びるフラッシュメモリ構造によって、半導体基板1の表面は区切られ、露出する活性領域は交互にソース領域4とドレイン領域15となっている。その場合、全面を覆うように層間絶縁膜20を形成した後に、ソース領域4に対応するようにそれぞれ細長い領域についてエッチングを行ない、サイドウォール絶縁膜3上でエッチングを一旦止める。こうすることで、図9に示すように直線状コンタクトホール111uがそれぞれ形成される。この直線状コンタクトホール111uの内部にタングステンやポリシリコンといった導電体を充填し、直線状コンタクト部111を形成する。さらに、図

10に示すように、これらの上側全面を覆う層間絶縁膜24を形成する。層間絶縁膜24を上下に貫通するようにエッチングを行ない、その凹部の内部に導電体を充填することによって、図10に示すようにドレインコンタクト17を形成する。このドレインコンタクト17の上端に電氣的に接続されるように、ドレイン配線27を形成する。ドレイン配線27が形成される位置は、層間絶縁膜24の上側であるので、ソース領域4につながる直線状コンタクト部111とドレイン配線27やドレインコンタクト17との間は互いに電氣的に隔離された状態で配線を行なうことができる。

【0033】

なお、ドレイン配線27は、通常「ビット線」と呼ばれている配線である。一般に、メモリセルトランジスタとしてN型MOSトランジスタを用いる場合、ビット線はメモリセルトランジスタのドレイン側に接続され、ソース線はメモリセルトランジスタのソース側に接続される。「ソース側」、「ドレイン側」の定義については、次のように説明することができる。メモリセルトランジスタがN型MOSトランジスタである場合において、読み出し動作時にメモリセルトランジスタに向かって電流が流れ込む側が、ドレイン側であって、メモリセルトランジスタから電流が流れていく側がソース側である。

【0034】

（作用・効果）

本実施の形態における半導体装置（図8参照）では、上述の構成を備えているので、直線状コンタクトホール111uを形成するためのエッチングにおいてサイドウォール絶縁膜3が除去されやすい箇所は、図8に示すようにダミー電極118と直線状コンタクトホール111uの外形線とが交差する輪郭交差点116になる。したがって、本来機能すべきゲート電極102においてサイドウォール絶縁膜3が不所望に除去されてしまってショートが生じるという問題を解消できる。一方、ダミー電極118においては仮にサイドウォール絶縁膜3が除去されてしまってダミー電極118と直線状コンタクト部111との間でショートが生じて、ダミー電極118は半導体装置の機能に無関係であるので、問題とならない。

【 0 0 3 5 】

図 1 0 に示した構造の例では、ドレイン配線 2 7 を第 1 の配線として、ゲート電極 1 0 2 の直線部分と平行に配置したが、この場合、ソース配線（図示せず）は、ドレイン配線 2 7 より上方において、ドレイン配線 2 7 と垂直な方向、すなわちゲート電極 1 0 2 の直線部分と垂直な方向に第 2 の配線として配置することが考えられる。しかし、本実施の形態によれば、ソース領域に接続される直線状コンタクト部 1 1 1 は長く延在しているので配線を取り出す位置の選択の自由度が高いので、図 1 0 に示した以外の配線の仕方も考えられる。たとえば、ソース配線を第 1 の配線としてゲート電極 1 0 2 の直線部分と平行な方向に配置し、ドレイン配線を第 2 の配線としてゲート電極 1 0 2 の直線部分と垂直な方向に配置することとしてもよい。

【 0 0 3 6 】

同一のコントロールゲート電極を共有するような互いに隣接するメモリセルの各々のソース領域が分離絶縁膜を介して離散的に配置されている場合でも、たとえばこれらのソース領域を同一の配線に対して接続するタイプのフラッシュメモリ、すなわちたとえば、NOR 型、DINOR 型、AND 型などのフラッシュメモリにおいては、直線状コンタクト部を採用することができ、ゲート電極とコンタクト部との間のショートを抑制することができる。

【 0 0 3 7 】

（直線状コンタクト部の寸法）

直線状コンタクト部を配置する際に必要となる寸法について説明する。フラッシュメモリのメモリセルが 1 個の場合の直線状コンタクト部 1 1 の配置例を図 1 1 に示す。設計寸法の基準サイズとなるフューチャースイズ F をもとに、メモリセルが 1 個配列された場合の直線状コンタクト部の寸法の最小値を求めてみた。なお、「フューチャースイズ」とは、実現できる最小スペース、最小ライン幅であって、通常、トランジスタのゲート長（ゲート電極の幅）やゲート電極同士の間隔に対応する基本的な長さとして用いられる。

【 0 0 3 8 】

図 1 1 に示すように、主な部分の長さは F となる。ゲート電極 2 と分離絶縁膜

9 との重なり部分の長さ a は、写真製版の重ね合わせずれや仕上がり寸法の変動を考慮すると、 $0.5F$ 程度とすべきである。直線状コンタクト部 11 とダミー電極 18 との直線状コンタクト部 11 長手方向（Y 方向）に沿った重なり部分の長さ b も同様に $0.5F$ 程度とすべきである。ゲート電極 2 とダミー電極 18 との間の間隙の大きさも F となっているが、この F の間隙はサイドウォール絶縁膜 3 が両側から形成されることによって埋められる。すなわち、サイドウォール絶縁膜 3 が占める幅は片側当たり $F/2$ 以上であることが必要となる。

【0039】

以上の各部の寸法を合わせてみると、直線状コンタクト部 11 の長辺方向（Y 方向）の長さは少なくとも $5F$ 必要ということになる。デザインルールが $0.18\mu\text{m}$ ルールである場合、直線状コンタクト部の長辺方向の長さは $0.90\mu\text{m}$ 以上必要ということになる。

【0040】

また、上記例ではメモリセルが 1 個の場合について説明したが、メモリセル 1 個が占める Y 方向の長さは $2F$ であるので、Y 方向に沿って N 個のメモリセルを配列した場合、直線状コンタクト部 11 の長辺方向（Y 方向）の必要長さは $3F + N \times 2F$ となる。

【0041】

一方、直線状コンタクト部 11 の短辺方向（X 方向）の長さは $F + \alpha + \beta$ となる。 α は、ゲート電極 2 と直線状コンタクト部 11 との X 方向に関する重なり部分の大きさによって決まる値である。 β は、ゲート電極 2 同士に挟まれた活性領域 14 においてサイドウォール絶縁膜 3 を形成した後の状態でも埋まることなく露出させておく必要のある活性領域 14 の幅である。

【0042】

図 5、図 8 に示した例では、直線状コンタクト部 11、111 の端がダミー電極 18、118 を通り越して突き出た位置まで延びているが、本発明の適用形態はこのように突き出ているものに限られない。図 11 に示した例のように、直線状コンタクト部の一端または両端がダミー電極の途中で終わっているような構造であってもよい。たとえば、ダミー電極の先に何か他の構成要素が配置されてい

て、この構成要素との干渉を避けるために直線状コンタクト部をダミー電極の先まで突き出させることができないような場合には、直線状コンタクト部の端がダミー電極の途中にくるようにすることが考えられる。

【0043】

本発明によれば、S A S技術を適用した場合と異なり、ソース／ドレイン領域に特に高濃度の不純物注入を行なう必要はないので、S A S技術において問題となっていたパンチスルー現象の問題は抑制することができる。

【0044】

なお、パンチスルー現象が問題にならない場合には、S A S技術を適用してさらに本発明を適用してもよい。

【0045】

なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

【0046】

【発明の効果】

本発明によれば、ゲート電極の端に近接して並ぶようにダミー電極を備えているので、直線状コンタクトホールを形成するためのエッチングにおいてサイドウォール絶縁膜が除去されやすい箇所は、ダミー電極と直線状コンタクトホールの外形線とが交差する点になる。したがって、ゲート電極においてサイドウォール絶縁膜が不所望に除去されてしまってショートが生じるという問題を解消することができる。

【図面の簡単な説明】

【図1】 本発明にとって参考となる、コンタクトホールを形成する工程の説明図である。

【図2】 図1におけるI I - I I線に関する矢視断面図である。

【図3】 図1におけるI I I - I I I線に関する矢視断面図である。

【図4】 図3に示した状態からさらにエッチングが進んだ例を示す断面図

である。

【図 5】 本発明に基づく実施の形態 1 における半導体装置の各構成要素の位置関係を模式的に示す平面図である。

【図 6】 図 5 における V I - V I 線に関する矢視断面図である。

【図 7】 図 5 における V I I - V I I 線に関する矢視断面図である。

【図 8】 本発明に基づく実施の形態 2 における半導体装置の各構成要素の位置関係を模式的に示す平面図である。

【図 9】 本発明に基づく実施の形態 2 における半導体装置の一部分の製造途中の状態を示す斜視図である。

【図 1 0】 本発明に基づく実施の形態 2 における半導体装置の一部分を示す斜視図である。

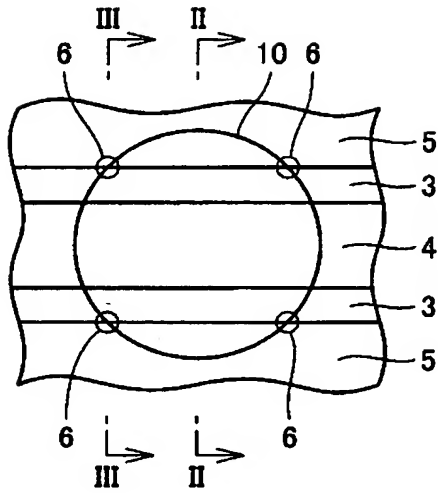
【図 1 1】 本発明に基づく半導体装置の直線状コンタクト部の配置例を模式的に示す平面図である。

【符号の説明】

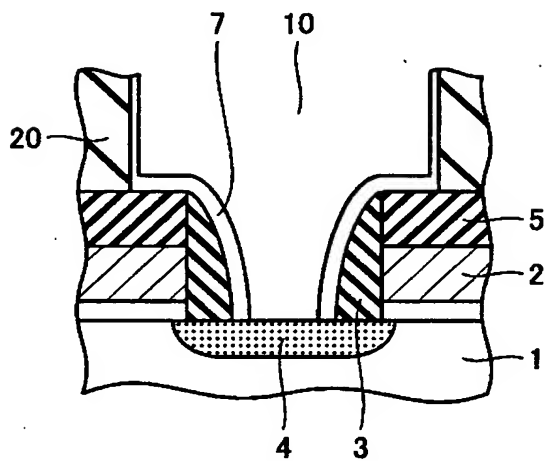
1 半導体基板、2, 1 0 2 ゲート電極、3 サイドウォール絶縁膜、4 ソース領域、5, 2 5 ストップ絶縁膜、6, 1 6, 1 1 6 輪郭交差点、7 デポ膜、9 分離絶縁膜、1 0 コンタクトホール、1 1, 1 1 1 直線状コンタクト部、1 1 u, 1 1 1 u 直線状コンタクトホール、1 4 活性領域、1 5 ドレイン領域、1 7 ドレインコンタクト、1 8, 1 1 8 ダミー電極、1 9 ゲートコンタクト、2 0, 2 4 層間絶縁膜、2 1 コントロールゲート電極、2 2 フローティングゲート電極、2 3 O N O 膜、2 7 ドレイン配線、1 0 2 a 広くなった部分。

【書類名】 図面

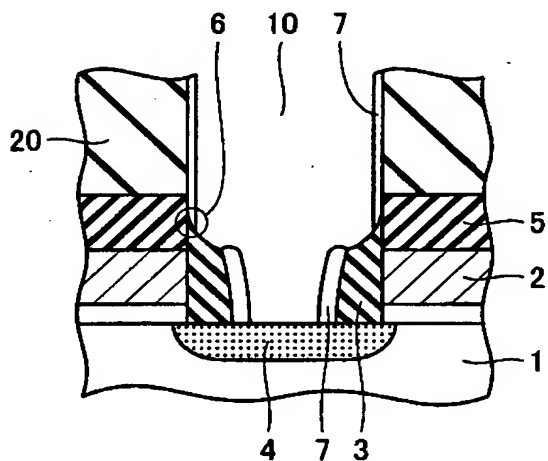
【図 1】



【図 2】

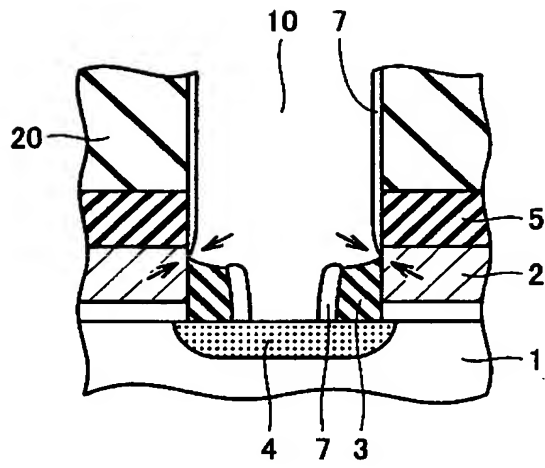


【図 3】

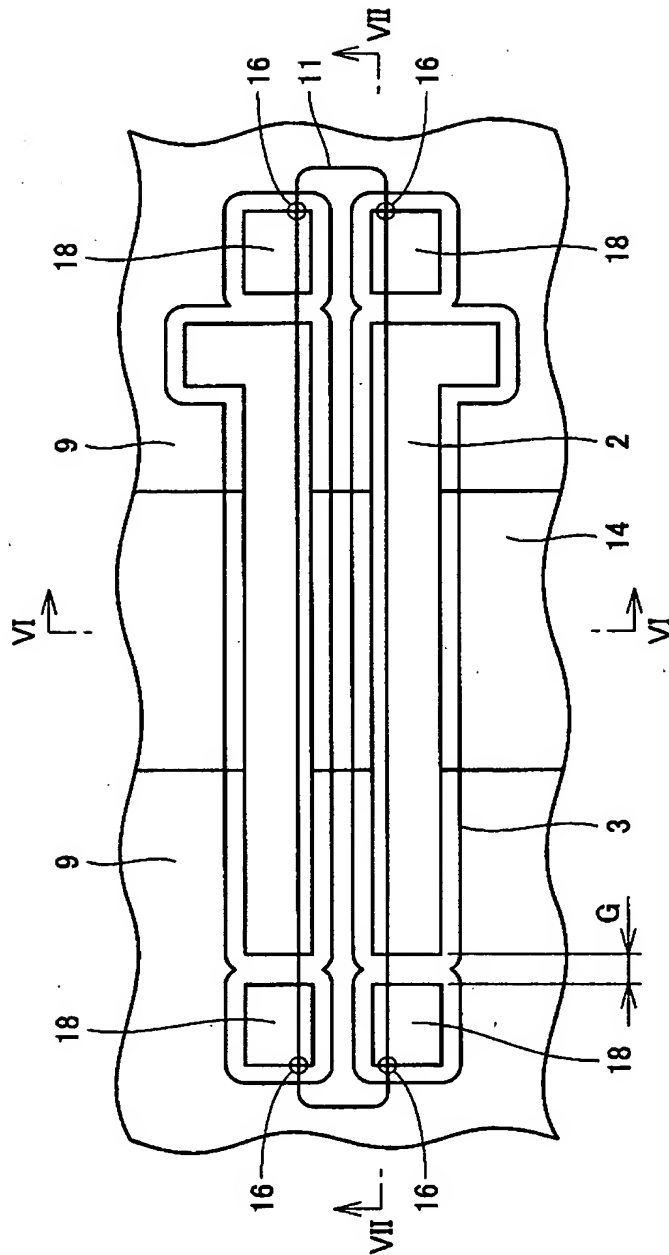


BEST AVAILABLE COPY

【 図 4 】

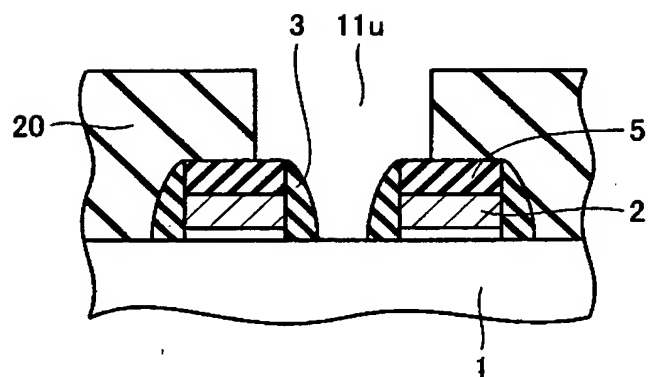


【図 5】

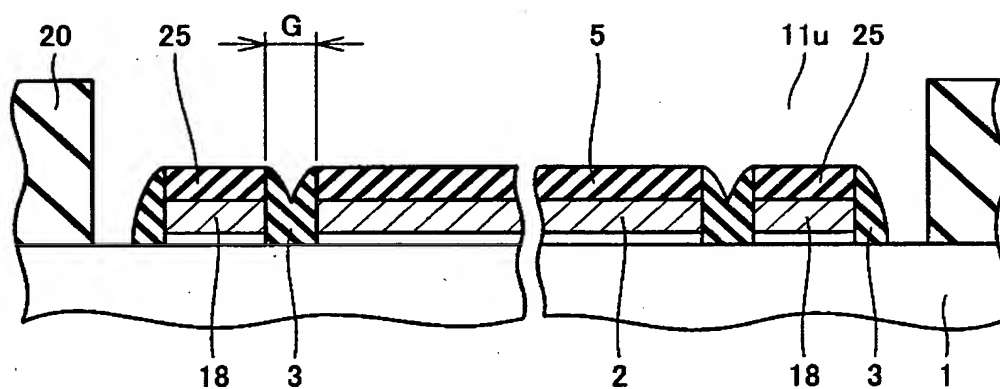


BEST AVAILABLE COPY

【図 6】

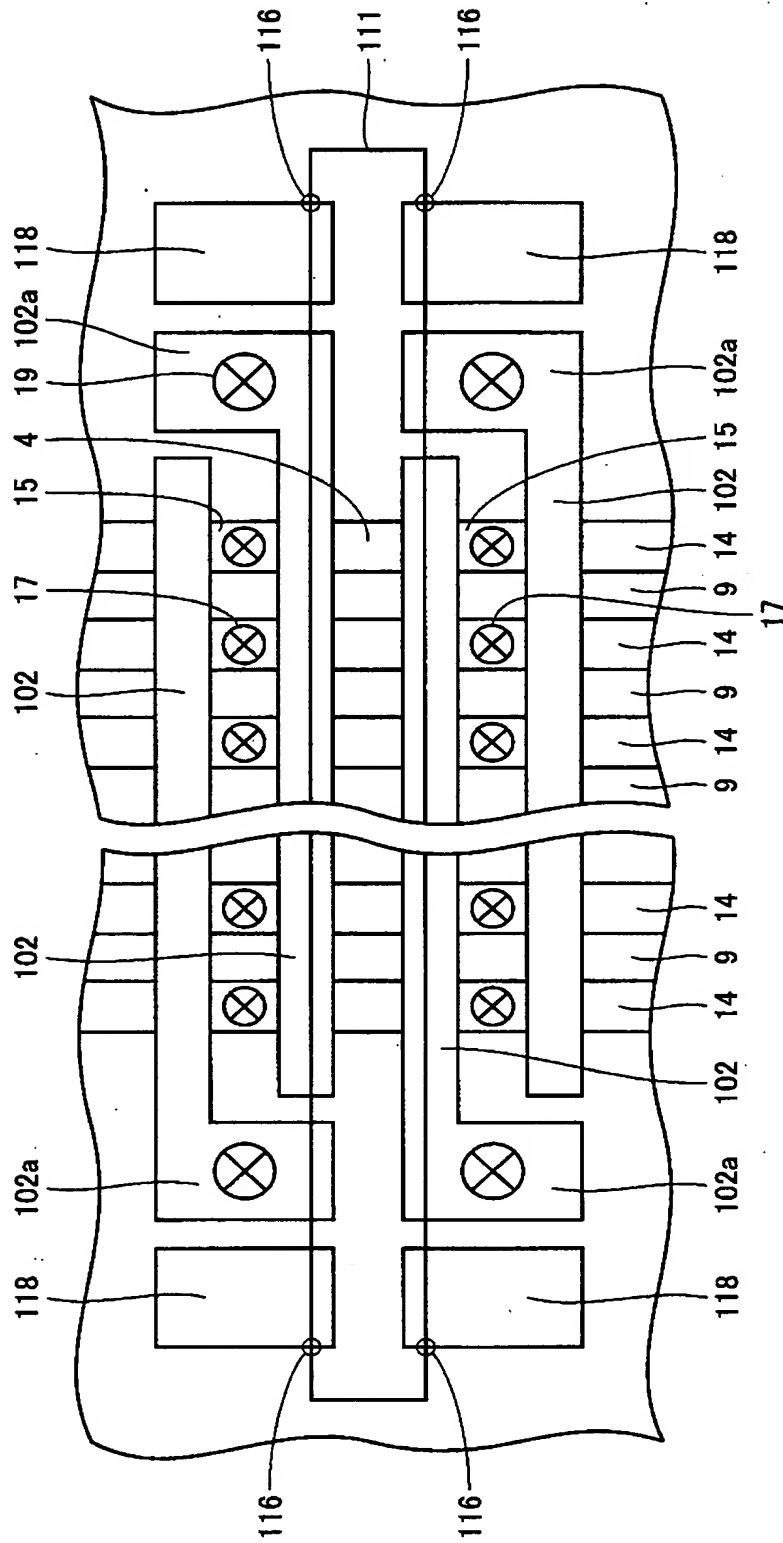


【図 7】



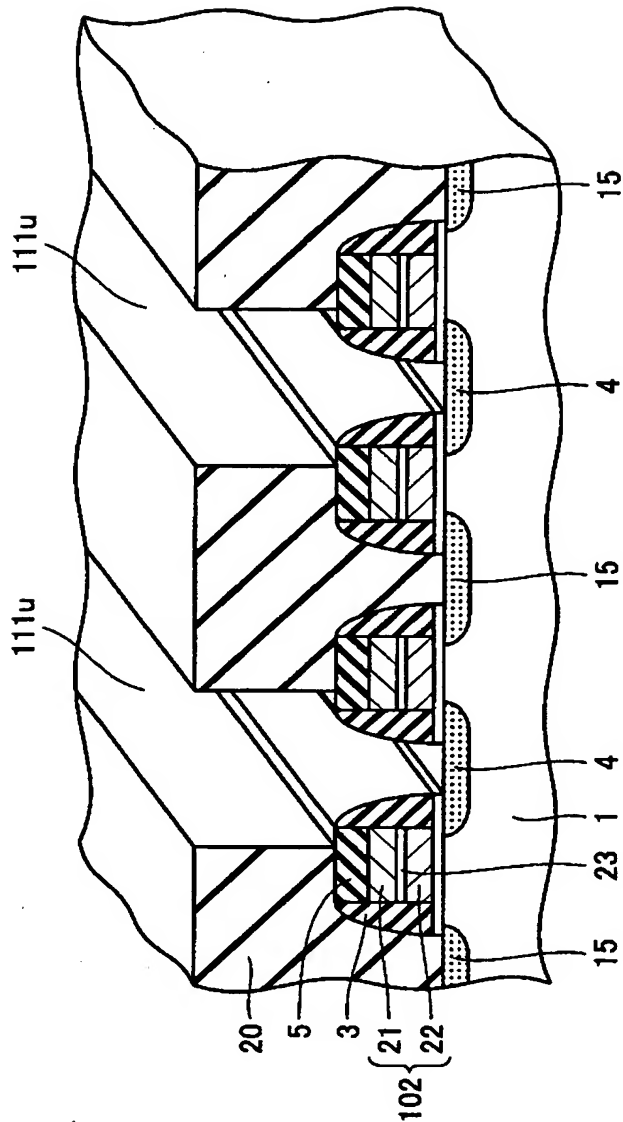
BEST AVAILABLE COPY

【図 8】



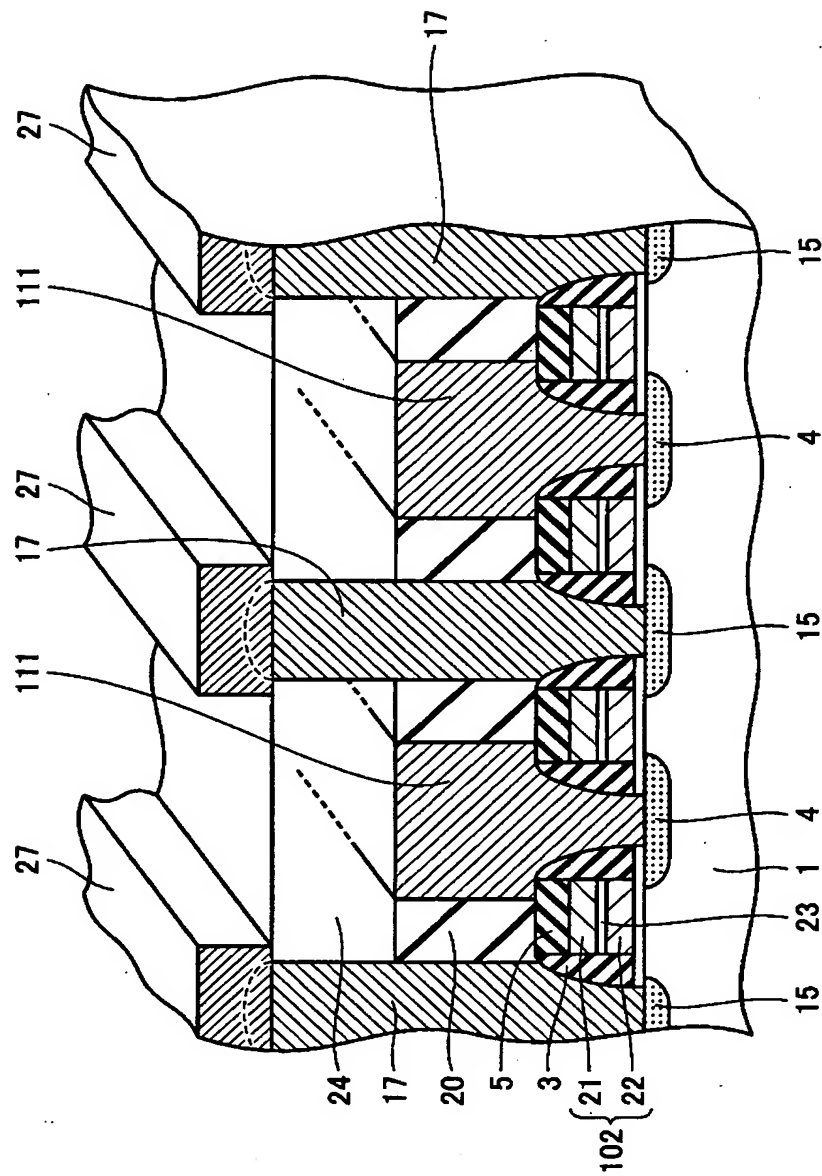
BEST AVAILABLE COPY

【图9】



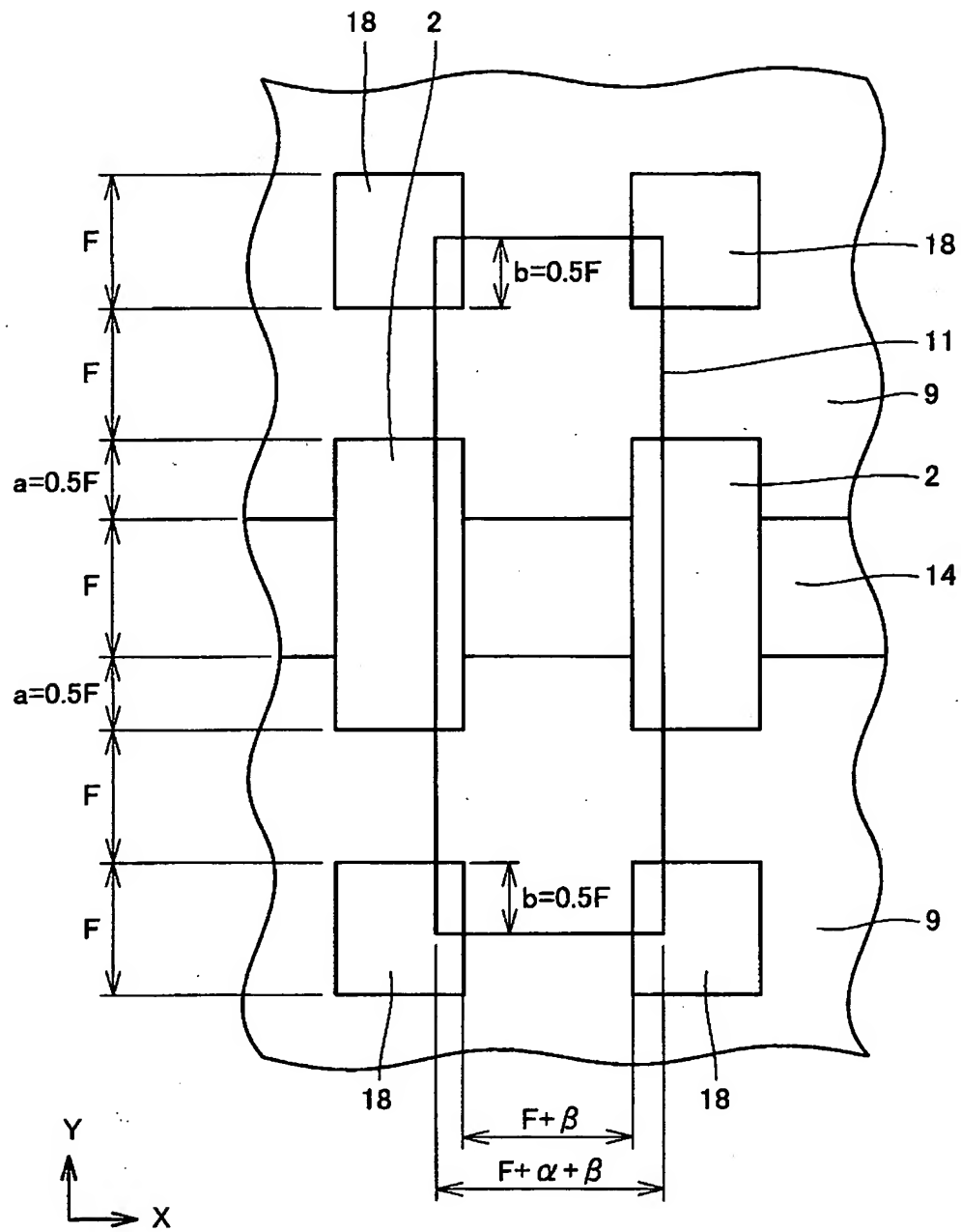
BEST AVAILABLE COPY

【図10】



BEST AVAILABLE COPY

【図 11】



BEST AVAILABLE COPY

【書類名】 要約書

【要約】

【課題】 SAC技術を行なう場合のゲート電極とコンタクト部との間でのショートを防止する。

【解決手段】 半導体装置は、直線部分を含むように形成されたゲート電極2と、上記直線部分の延長上の位置において形成されたダミー電極18と、ストッパ絶縁膜5と、サイドウォール絶縁膜3と、層間絶縁膜と、上から見たときに上記直線部分に平行に延びる直線状コンタクト部11とを備える。ただし、上から見たときの直線状コンタクト部11の外形のうち長辺は、サイドウォール絶縁膜3を越えてゲート電極2およびダミー電極18の上側の領域にそれぞれ入り込んだ位置にある。上から見たときに上記直線状コンタクト部の内部に現れるゲート電極2とダミー電極18との間の間隙Gは、半導体基板を露出させない程度にサイドウォール絶縁膜3によって埋められている。

【選択図】 図5



出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日
[変更理由] 新規登録
住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ